

درس اصلی ۶: مدارهای منطقی

نام درس	مدارهای منطقی	
نام درس به انگلیسی	Logic Circuits	
نوع واحد	اصلی	مهندسی کامپیوتر
مقطع	کارشناسی	
هم‌نیازها	ریاضیات گسسته	
پیش‌نیازها	-	
مطالب پیش‌نیاز	-	
کتاب(های) مرجع	[1] S. Brown and Z. Vranesic, <i>Fundamentals of Digital Logic with Verilog Design</i> . 3 rd Edition, McGraw-Hill, 2009. [2] C. H. Roth and L. L. Kinney, <i>Fundamentals of Logic Design</i> . 5 th Edition, 2005. [3] J. Wakerly, <i>Digital Design, Principles and Practices</i> . 4 th Edition, 2005. [4] Victor P. Nelson, H. Troy Nagle, Bill D. Carroll, and David Irwin, <i>Digital Logic Circuit Analysis and Design</i> . Prentice Hall, 1995.	
اهداف درس	آشنایی با اصول طراحی مدارها و سیستم‌های دیجیتال، نحوه‌ی تحلیل و اشکال‌زدایی آنها	
نتایج درس	دانشجویانی که این درس را با موفقیت پشت سر بگذارند بینش مناسبی در موارد زیر خواهند داشت: ۱- مفاهیم بنیادی سیستم‌ها و مدارهای دیجیتال ۲- طراحی سیستم‌های دیجیتال ۳- تحلیل سیستم‌های دیجیتال ۴- مدل‌سازی سیستم‌های دیجیتال	
فهرست مباحث	۱- مقدمات و مفاهیم اولیه - تاریخچه‌ی سیستم‌های دیجیتال - کاربرد سیستم‌های دیجیتال در دنیای کنونی - مبانی سیستم‌های دیجیتال و تفاوت آنها با سیستم‌های آنالوگ - معرفی اجمالی مدارهای دیجیتال برپایه‌ی ترانزیستورهای MOS ۲- سیستم‌های عددی - نظریه اعداد و نمایش آنها - محاسبات در سیستم‌های دیجیتال - مفاهیم Carry و Overflow - سیستم‌های نمایش BCD ۳- جبر بول - اصول جبر بول - توابع، عملگرها و گیت‌های منطقی - روابط جبر بول - نمایش Canonical, Minterm, Maxterm و فرم‌های استاندارد نمایش توابع منطقی - آموزش زبان توصیف سخت‌افزار (VHDL یا Verilog) در سطح ساختاری ۴- تحلیل و طراحی سیستم‌های منطقی ترکیبی - روش‌های ساده‌سازی مدارهای ترکیبی با جبر بول - بهینه‌سازی مدارهای ترکیبی با جدول کارنو و الگوریتم کوئین-مک‌کلاسکی و	





<p>مفهوم حالات بی‌اهمیت (don't care)</p> <ul style="list-style-type: none"> - مفهوم Race, Hazard و Glitch - انواع پیاده‌سازی مدارهای دو طبقه - مفهوم تأخیر - مدارهای کدگذار، کدگشا، تسهیم‌کننده، پادتسهیم‌کننده، هفت‌بخشی و کاربردهای آنها به‌خصوص به‌عنوان یک بلوک پایه در طراحی مدارهای منطقی - طراحی با گیت‌های جهانی (Universal) - مدارهای جمع‌کننده‌ی انتشاری، مقایسه‌کننده، جمع‌کننده با پیش‌بینی رقم نقلی - مفهوم امیدانس بالا و استفاده از بافرهای سه‌حالت برای ایجاد امیدانس بالا، مدار با گیت‌های کلکتور باز، منطق سیمی، استفاده از مقاومت به‌عنوان pull-up و pull-down - مدارهای برنامه‌پذیر (PAL, PLA, FPGA) - معرفی تراشه‌های استاندارد ترکیبی <p>۵- تحلیل و طراحی سیستم‌های منطقی ترتیبی</p> <ul style="list-style-type: none"> - معرفی عناصر حافظه، لچ‌ها و فلیپ‌فلاپ‌ها - تأخیر انتشار عناصر حافظه، مفهوم زمان راه‌اندازی و زمان نگهداشت، ورودی‌های همگام و ناهمگام - تحلیل مدارهای ترتیبی، جدول تحریک، نمودار حالت، جدول حالت - مراحل طراحی FSM، مدل‌های Mealy و Moore و تفاوت آن‌ها - طراحی مدارهای ترتیبی با انواع فلیپ‌فلاپ‌ها - شمارنده‌ها، ثبات‌ها و شیفت‌دهنده‌ها و ثبات‌های Universal - معرفی تراشه‌های استاندارد ترتیبی <p>۶- مبانی طراحی مدارهای ناهمگام</p>	
<p>نرم‌افزارهای شبیه‌سازی توصیف سخت‌افزار مثل JSE، Modelsim برای استفاده از زبان‌های VHDL یا Verilog و نیز نرم‌افزارهای شماتیکی مثل Proteus استفاده از زبان Verilog به دلیل سادگی برای این درس توصیه می‌شود.</p>	<p>نرم‌افزارهای مورد نیاز</p>
<p>هر هفته یک تکلیف حاوی مطالب بیان شده در درس</p>	<p>تکالیف پیشنهادی</p>
<p>تعداد ۲ تکلیف کامپیوتری و یک پروژه پایانی</p>	<p>پروژه‌های پیشنهادی</p>
<p>تکالیف دستی ٪۱۰ پروژه‌ها ٪۲۵ امتحان میان‌ترم ٪۲۵ امتحان پایان‌ترم ٪۴۰</p>	<p>نمره‌دهی پیشنهادی</p>
<p>[1] M. Mano, Digital Design, 4th Edition, Prentice-Hall, 2006. [2] Katz, Contemporary Logic Design, 2nd Edition, 2004. [3] F. P. Prosser and D. E. Winkel, <i>The Art of Digital Design: An Introduction to Top-Down Design</i>. Prentice Hall, 1987.</p>	<p>سایر مراجع</p>